

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086276
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

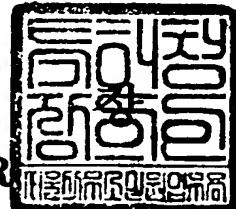
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 14일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2002.12.30
【발명의 명칭】	계면 반응이 억제된 적층 게이트전극 및 그를 구비한 반도체 소자의 제조 방법
【발명의 영문명칭】	Stack gate electrode prevented interface-reaction and method for fabricating semiconductor device having the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM,Kwan Yong
【주민등록번호】	700925-1457214
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을주공아파트 139-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥재
【성명의 영문표기】	CHO,Heung Jae
【주민등록번호】	700123-1122410
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 105-904
【국적】	KR

【발명자】**【성명의 국문표기】**

이정호

【성명의 영문표기】

LEE, Jung Ho

【주민등록번호】

650224-1069125

【우편번호】

139-243

【주소】

서울특별시 노원구 공릉3동 풍림아파트 105-604

【국적】

KR

【심사청구】**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

4 면 4,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

10 항 429,000 원

【합계】

462,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 게이트패터닝후 후속 선택산화 및 후속 열공정에서 게이트전극을 이루는 폴리실리콘막과 금속막 사이의 계면에 불균일한 실리사이드막이 형성되는 것을 억제하는데 적합한 게이트전극과 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 게이트전극은 실리콘막, 질소 표면 밀도가 $1\times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하고 있는 상기 실리콘막 상의 반응방지막, 및 상기 반응방지막 상의 금속막을 포함하되, 상기 반응방지막의 두께는 1.2nm보다 두껍고 3nm보다 얇다.

【대표도】

도 4

【색인어】

금속 게이트전극, 반응방지막, 플라즈마질화법, 열질화법, 클러스터, 실리콘질화막, 계면반응

【명세서】**【발명의 명칭】**

계면 반응이 억제된 적층 게이트전극 및 그를 구비한 반도체 소자의 제조 방법{Stack gate electrode prevented interface-reaction and method for fabricating semiconductor device having the same}

【도면의 간단한 설명】

도 1은 종래기술의 일예에 따른 금속게이트 구조를 갖는 반도체 소자의 구조 단면도,

도 2는 종래기술의 다른 예에 따른 금속게이트 구조를 갖는 반도체 소자의 구조 단면도,

도 3은 종래 선택 산화 공정후의 폴리실리콘막/텅스텐질화막/텅스텐막 계면의 단면 사진,

도 4는 본 발명의 제1 실시예에 따른 반도체 소자의 적층 게이트전극을 도시한 단면도,

도 5a 내지 도 5d는 도 4에 도시된 적층 게이트전극을 포함하는 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 6은 본 발명의 제2 실시예에 따른 반도체 소자의 적층 게이트전극을 도시한 단면도,

도 7은 폴리실리콘막 증착후 800°C에서 60초동안 NH₃ 분위기로 열처리한 후의 XPS 분석 결과,

도 8은 도 7에 따른 단면 TEM 사진,

도 9는 950°C에서 선택산화를 수행한 후 텅스텐막/텅스텐질화막/폴리실리콘막 구조와 텅스텐막/텅스텐질화막/실리콘질화막/폴리실리콘막 구조의 XPS 분석 결과를 비교한 도면.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 실리콘산화막

23 : 폴리실리콘막

24 : 실리콘질화막

25 : 텅스텐질화막

26 : 텅스텐막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 금속게이트전극을 구비한 반도체소자의 제조 방법에 관한 것이다.

<15> 최근에 반도체소자가 고집적화됨에 따라 소스 및 드레인영역으로 이용되는 불순물 영역과 게이트전극의 폭이 감소되고 있다. 이에 따라, 반도체소자는 불순물영역의 접촉 저항 및 게이트전극의 시트저항(Sheet resistance; Rs)이 증가하여 동작 속도가 저하되는 문제점이 발생되었다.

<16> 그러므로, 반도체소자 내의 소자들의 배선을 알루미늄 합금 및 텅스텐 등의 저저항 물질로 형성하거나, 또는, 게이트전극과 같이 다결정실리콘으로 형성하는 경우에 실리사이드층(silicide)을 형성하여 저항을 감소시킨다.

<17> 한편, 게이트전극으로 폴리실리콘막을 적용하는 반도체소자 제조에서는 폴리실리콘막 식각시에 드러나는 게이트산화막이 손상되므로, 게이트전극의 저항은 그대로 유지하면서 손상된 게이트산화막을 회복하기 위해 폴리실리콘막의 측면을 선택적으로 산화시키는 재산화(Re-oxidation) 공정이 수반된다.

<18> 여기서, 게이트산화막의 재산화 공정은 게이트전극 식각시 게이트산화막에 발생된 마이크로트렌치(microtrench) 및 손실을 회복시켜 주며, 실리콘기판에 잔류하는 폴리실리콘막 잔막을 산화시키며, 게이트전극의 에지에 있는 게이트산화막의 두께를 증가시켜서 신뢰성을 향상시키기 위한 목적으로 진행되고 있다.

<19> 특히, 게이트전극의 에지쪽에 있는 산화막은 그 두께 및 막의 품질에 의해 핫캐리어 특성, 서브 문턱전압(sub-threshold voltage) 특성[누설전류, 게이트유도드레인누설(GIDL)], 펀치쓰루(punchthrough) 특성, 소자 동작 속도에 많은 영향을 미친다.

<20> 그렇기 때문에 재산화공정은 필수적으로 진행되어야 한다.

<21> 최근에는 게이트전극의 저항을 낮추기 위해 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 적층 게이트 구조(W/WN/Polysilicon)를 사용하고 있다.

<22> 그러나, 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 적층 게이트 구조는 후속 H_2O 또는 O_2 를 이용한 높은 온도의 재산화 공정시 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 계면반응 및 텅스텐막의 산화에 따른 급격한 부피 팽창, 파티클 발생 등의 문제가 발생

생한다. 이를 극복하기 위해 개발된 공정이 선택 산화(Selective oxidation) 공정이다. 즉, 수소 부화(H_2 rich)의 산화 분위기에서 텉스텐막과 텉스텐질화막(W/WN)은 산화시키지 않고, 폴리실리콘막 및 실리콘기판만을 산화시키는 공정이다.

<23> 도 1은 종래기술의 일예에 따른 금속게이트 구조를 갖는 반도체 소자의 구조 단면도이다. 도 1은 도시바에서 출원한 미국특허 5,719,410호이다.

<24> 도 1을 참조하면, 반도체 기판(1) 상에 실리콘산화막(2)이 형성되고, 실리콘산화막(2) 상에 폴리실리콘막(3), 실리콘질화막(6) 및 텉스텐막(5)의 순서로 적층된 게이트전극이 형성된다.

<25> 여기서, 실리콘질화막(6)은 텉스텐질화막이 개질된 막으로 질소 표면밀도가 $8 \times 10^{14}/cm^2$ 이하이다.

<26> 도 2는 종래기술의 다른 예에 따른 금속게이트 구조를 갖는 반도체 소자의 구조 단면도이다. 도 2는 도시바에서 출원한 미국특허 6,100,193호이다.

<27> 도 2를 참조하면, 반도체 기판(11) 상에 실리콘산화막(12)이 형성되고, 실리콘산화막(12) 상에 폴리실리콘막(13), 실리콘질화막(14) 및 텉스텐막(15)의 순서로 적층된 게이트전극이 형성된다.

<28> 여기서, 실리콘질화막(14)은 질소 표면밀도가 $8 \times 10^{14}/cm^2$ 이하가 되도록 폴리실리콘막(13) 상에 증착한 막이다.

<29> 도 1 및 도 2에서, 텉스텐막과 폴리실리콘막의 계면 반응을 막기 위한 실리콘질화막내 질소의 양을 $8 \times 10^{14}/cm^2$ 이하로 규정하고, 그 두께는 1nm 정도로 규정하고 있다.

<30> 도 3은 종래 선택 산화 공정후의 폴리실리콘막/텅스텐질화막/텅스텐막 계면의 단면 사진이다.

<31> 도 3에 도시된 바와 같이, 실리콘질화막이 없거나 또는 1nm 이하의 매우 얇은 실리콘질화막을 폴리실리콘막 상부에 형성시킨 후 텅스텐질화막 및 텅스텐막을 형성시킬 경우에는, 후속 열공정이나 선택산화 공정을 거치면서 불균일한 텅스텐실리사이드 클러스터층이 형성되고, 그 텅스텐실리사이드 측벽이 추가로 산화 및 질화되는 문제점이 발생한다. 이렇게 후속 선택산화 및 고온 열처리에 의해 형성되는 계면 산화막 및 계면 질화막의 두께는 평균 2nm 이상이며 이 두께가 불균일하기 때문에 소자마다 제각각의 특성을 보이는 문제점이 있다. 특히, 계면 산화막이 계면 질화막보다 저항 측면에서 좀더 높은 비저항을 가지기 때문에 우선적으로 억제되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<32> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 폴리실리콘막과 금속막 사이의 계면 반응을 억제할 수 있는 반응방지막을 구비하는 반도체 소자의 적층 게이트전극을 제공함에 그 목적이 있다.

<33> 또한, 본 발명의 다른 목적은 게이트패터닝후 후속 선택산화 및 후속 열공정에서 게이트전극을 이루는 폴리실리콘막과 금속막 사이의 계면에 불균일한 실리사이드막이 형성되는 것을 억제하는데 적합한 반도체 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<34> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 적층 게이트전극은 실리콘막, 질소 표면 밀도가 $1 \times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하고 있는 상기 실리콘막 상의 반응방지막, 및 상기 반응방지막 상의 금속막을 포함하는 것을 특징으로 하고, 상기 반응방지막의 두께는 1.2nm보다 두껍고 3nm보다 얇은 것을 특징으로 한다.

<35> 그리고, 본 발명의 반도체 소자의 제조 방법은 적어도 게이트절연막을 포함하는 반도체층을 형성하는 단계, 상기 게이트절연막 상에 실리콘막을 형성하는 단계, 상기 실리콘막 표면상에 질소 표면 밀도가 $1 \times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하고 있는 반응방지막을 형성하는 단계, 상기 반응방지막 상에 금속막을 형성하는 단계, 상기 금속막, 반응방지막 및 상기 실리콘막을 순차적으로 식각하여 적층 게이트 전극을 형성하는 단계, 및 상기 적층 게이트전극 중에서 실리콘막만을 선택적으로 산화시키는 게이트 재산화 공정을 수행하는 단계를 포함하는 것을 특징으로 한다.

<36> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<37> 도 4는 본 발명의 제1 실시예에 따른 반도체 소자의 적층 게이트전극을 도시한 단면도이다.

<38> 도 4를 참조하면, 반도체 기판(21) 상에 게이트절연막인 실리콘산화막(22)이 형성되고, 실리콘산화막(22) 상에 폴리실리콘막(23)이 형성되며, 폴리실리콘막(23) 상에 반응방지막(reaction-preventing film)인 실리콘질화막(24)이 형성된다. 그리고, 실리콘질

화막(24) 상에 텅스텐질화막(WN_x , 25)이 형성되고, 텅스텐질화막(25) 상에 텅스텐막(26)이 형성된다. 여기서, 실리콘질화막(24)은 폴리실리콘막(23) 상에 증착한 $1 \times 10^{15}/\text{cm}^2$ 이 상의 질소 밀도(1.2nm 이상의 두께에 해당)를 갖는 균일한 실리콘질화막(silicon nitride film)이다. 그리고, 텅스텐질화막(WN_x , 25)에서 x 는 0.1~1.1의 범위이고, 텅스텐막(26)은 내열성 금속막(refractory metal)의 일종이다.

<39> 실리콘질화막(24)은 다음의 네가지 방법 중에서 선택된 하나의 방법에 의해 형성된다.

<40> 첫 번째, DPN(Decoupled Plasma Nitridation) 또는 RPN(Remote Plasma Nitridation) 등의 플라즈마 질화법(plasma nitridation)을 이용하여 형성하는데, 플라즈마 질화법 적용시의 분위기는 질소를 함유한 가스(NH_3 , ND(D는 중수소)₃, N_2 및 NF_3)로 이루어진 그룹중에서 선택된 하나 또는 혼합 기체)를 사용하고, 기판 온도는 0°C~700°C이며, RF 파워는 1000W 이하이다.

<41> 두 번째, 750°C~950°C에서 10초~100초동안 진행하는 열질화법(Thermal nitridation)을 이용하여 형성하는데, 열질화법 적용시의 분위기는 질소를 함유한 가스(NH_3 , ND₃)를 사용한다.

<42> 세 번째, 화학기상증착법(Chemical Vapor Deposition; CVD)을 이용하여 형성한다.

<43> 네 번째, 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 형성한다.

<44> 전술한 방법들에 의해 형성되는 실리콘질화막(24)은 그 두께 3nm를 초과하지 않도록 한다.

<45> 한편, 금속 게이트구조를 구성하는 내열성 금속막은 텉스텐막(W)외에 Mo, Ta, Ti, Ni, Co 등의 단원소 금속을 이용할 수도 있고, 내열성 금속질화막은 텉스텐질화막(WN)외에 MoN_x , TaN_x , TiN_x , NiN_x , CoN_x 등의 금속질화막(metal nitride)을 사용할 수도 있다. 여기서, x는 0.1~1.1의 범위이다.

<46> 도 5a 내지 도 5d는 도 4에 도시된 적층 게이트전극을 포함하는 반도체 소자의 제조 방법을 도시한 공정 단면도이다.

<47> 도 5a에 도시된 바와 같이, 반도체 기판(21) 상에 게이트절연막으로 작용하는 실리콘산화막(SiO_2 , 22)을 증착한 후, 실리콘산화막(22) 상에 도전성을 갖기 위한 불순물이 도핑된 폴리실리콘막(23)을 증착한다. 여기서, 게이트절연막은 실리콘산화막외에 SiO_xN_y ($x=0.03\sim 3$, $y=0.03\sim 3$), HfO_2 , ZrO_2 , Hf-Al-O, Hf-실리케이트, Zr-실리케이트 등의 하프늄(Hf) 또는 지르코늄(Zr)을 포함하는 고유전 금속산화물을 이용하고, 폴리실리콘막(23)은 500°C ~ 600°C에서 증착한 것이다.

<48> 다음으로, 폴리실리콘막(23) 형성시 생성된 자연산화막을 제거하기 위해 HF를 포함한 용액을 이용한 세정을 실시하고, 폴리실리콘막(23) 상에 반응방지막으로 작용하는 실리콘질화막(24)을 형성한다. 이때, 실리콘질화막(24)은 플라즈마 질화법, 열질화법, 화학기상증착법(CVD) 및 원자층증착법(ALD)으로 이루어진 그룹중에서 선택된 하나의 방법을 이용하여 1.2nm~3nm의 두께로 형성한다.

<49> 전술한 바와 같이, 1.2nm~3nm의 두께로 실리콘질화막(24)을 형성하면, 실리콘질화막(24)내 함유된 질소의 표면 밀도(surface density)는 $1\times 10^{15}/\text{cm}^2$ 이상이 된다.

<50> 도 5b에 도시된 바와 같이, 실리콘질화막(24) 상에 텅스텐질화막(WN_x ; $x=0.1 \sim 1.1$, 25)을 증착하고, 텅스텐질화막(25) 상에 텅스텐막(26)을 증착한다.

<51> 다음으로, 텅스텐막(26) 상에 하드마스크(27)를 증착한다.

<52> 도 5c에 도시된 바와 같이, 포토리소그래피 과정을 통해 하드마스크(27)를 식각하고, 식각처리된 하드마스크(27)를 식각마스크로 텅스텐막(26), 텅스텐질화막(25), 실리콘질화막(24) 및 폴리실리콘막(23)을 순차적으로 식각하여 폴리실리콘막(23), 실리콘질화막(24), 텅스텐질화막(25), 텉스텐막(26) 및 하드마스크(27)의 순서로 적층된 금속 게이트 구조를 형성한다.

<53> 상술한 게이트 패터닝시, 폴리실리콘막(23) 식각으로 드러난 실리콘산화막(22)의 일부분이 손상(22a)을 받는다.

<54> 도 5d에 도시된 바와 같이, 손상된 실리콘산화막(22)의 일부(22a)를 회복시키면서 게이트 전극 에지부분의 실리콘산화막(22) 두께를 증가시키는 재산화 공정을 수행하되, 금속물질인 텅스텐막(26)과 텅스텐질화막(25)의 산화를 방지하면서 폴리실리콘막(23)만 을 선택적으로 산화시키는 선택 산화 공정을 수행한다.

<55> 선택 산화 공정은, 수소와 산소의 혼합(H_2-O_2), 물과 수소(H_2O-H_2)의 혼합, 산소(O_2)와 중수소(D_2)의 혼합(O_2-D_2) 또는 산화중수소(Deuterium oxide; D_2O)와 수소의 혼합(D_2O-H_2) 분위기에서 $700^{\circ}C \sim 1100^{\circ}C$ 의 기판 온도로 수행한다.

<56> 여기서, 중수소(D_2)는 수소의 동위원소 중에서 질량수가 2이고 원자량이 2.01409인 데터븀(Deuterium)을 일컫는 것이고, 일반적으로 사용되는 수소(H_2)는 수소의 동위원소 중에서 질량수가 1이고 원자량이 1.007인 프로튬(protium)이다. 이와 같이, 수소(H_2)에

비해 질량 및 결합력이 큰 중수소(D_2) 분위기에서 선택 산화 공정을 수행하는 경우, SILC(Stress Induced Leakage Current) 특성 열화, 전하 트랩핑(Charge trapping) 유발, HCI(Hot carrier immunity) 퇴화(degradation) 등을 방지하여 MOSFET 소자의 특성을 개선시킬 수 있는 효과를 얻을 수 있다.

<57> 전술한 바와 같은, 선택 산화 공정후, 반도체 기판(21) 상의 손상된 실리콘산화막(22a)은 손상이 회복된 실리콘산화막(22b)으로 개질되고, 아울러 개질된 실리콘산화막(22b)은 게이트전극 에지부분에서 폴리실리콘막(23) 아래의 실리콘산화막(22)에 비해 그 두께가 두껍다. 또한, 선택 산화 공정후 폴리실리콘막(23)의 측면이 산화되어 실리콘산화막(28)이 형성된다.

<58> 후속 공정으로, 도면에 도시되지 않았지만, 이온주입을 통해 LDD(Lightly Doped Drain) 구조의 소스/드레인 영역을 형성한다.

<59> 도 6은 본 발명의 제2 실시예에 따른 반도체 소자의 적층 게이트전극을 도시한 단면도이다.

<60> 도 6에 도시된 바와 같이, 반도체 기판(31) 상에 게이트절연막인 실리콘산화막(32)이 형성되고, 실리콘산화막(32) 상에 폴리실리콘막(33)이 형성되며, 폴리실리콘막(33) 상에 반응방지막인 실리콘질화막(34)이 형성된다. 그리고, 실리콘질화막(34) 상에 텅스텐막(35)이 형성된다. 여기서, 실리콘질화막(34)은 폴리실리콘막(33) 상에 증착한 $1 \times 10^{15}/\text{cm}^2$ 이상의 질소 밀도(1.2nm 이상의 두께에 해당)를 갖는 균일한 실리콘질화막(silicon nitride film)이다. 그리고, 텅스텐막(35)은 내열성 금속막(refractory metal)의 일종이다.



1020020086276

출력 일자: 2003/5/15

<61> 실리콘질화막(34)은 다음의 네가지 방법 중에서 선택된 하나의 방법에 의해 형성된다.

<62> 첫 번째, DPN(Decoupled Plasma Nitridation) 또는 RPN(Remote Plasma Nitridation) 등의 플라즈마 질화법(plasma nitridation)을 이용하여 형성하는데, 플라즈마 질화법 적용시의 분위기는 질소를 함유한 가스(NH_3 , ND(D는 중수소)₃, N_2 및 NF_3)로 이루어진 그룹중에서 선택된 하나 또는 혼합 기체)를 사용하고, 기판 온도는 0°C ~ 700°C이며, RF 파워는 1000W 이하이다.

<63> 두 번째, 750°C ~ 950°C에서 10초~100초동안 진행하는 열질화법(Thermal nitridation)을 이용하여 형성하는데, 열질화법 적용시의 분위기는 질소를 함유한 가스(NH_3 , ND₃)를 사용한다.

<64> 세 번째, 화학기상증착법(Chemical Vapor Deposition; CVD)을 이용하여 형성한다.

<65> 네 번째, 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 형성한다.

<66> 전술한 방법들에 의해 형성되는 실리콘질화막(34)은 그 두께 3nm를 초과하지 않도록 한다.

<67> 한편, 금속 게이트구조를 구성하는 내열성 금속막은 텅스텐막(W)외에 Mo, Ta, Ti, Ni, Co 등의 단원소 금속을 이용할 수 있다. 그리고, 게이트절연막은 실리콘산화막(32) 외에 SiO_xN_y ($x=0.03\sim 3$, $y=0.03\sim 3$), HfO_2 , ZrO_2 , Hf-Al-O, Hf-실리케이트, Zr-실리케이트 등의 하프늄(Hf) 또는 지르코늄(Zr)을 포함하는 고유전 금속산화물을 이용하고, 폴리 실리콘막(33)은 500°C ~ 600°C에서 증착한 것이다.

<68> 도 7은 폴리실리콘막 증착후 800°C에서 60초동안 NH₃ 분위기로 열처리한 후의 XPS 분석 결과이고, 도 8은 도 7에 따른 단면 TEM 사진이다. 도 7에 도시된 바와 같이, XPS 분석 결과, 질소의 조성비는 15%로 나타났으며, 이를 표면밀도로 환산할 경우, 약 1×10¹⁵/cm² 이다. 도 8에 도시된 바와 같이, 폴리실리콘막 상에 균일한 실리콘질화막이 2nm의 두께로 형성되고 있다.

<69> 도 9는 950°C에서 선택산화를 수행한 후 텅스텐막/텅스텐질화막/폴리실리콘막 구조 와 텅스텐막/텅스텐질화막/실리콘질화막/폴리실리콘막 구조의 XPS 분석 결과이다. 도 9 는 텅스텐막을 H₂O₂를 이용하여 습식식각한 후 폴리실리콘막 상부를 XPS로 관찰한 결과이며, 텅스텐막은 각각 650Å이고, 텅스텐질화막은 각각 50Å이다.

<70> 도 9에 나타난 바와 같이, 텅스텐막/텅스텐질화막/폴리실리콘막 구조는 텅스텐막/텅스텐질화막/실리콘질화막/폴리실리콘막 구조에 비해 Si-O 및 Si-N의 양이 상대적으로 훨씬 많은 것을 알 수 있다. 이는, 고온의 선택산화 공정을 거치면서 형성되는 텅스텐실리사이드로 인해 추가적으로 Si-O 및 Si-N막이 텅스텐막/텅스텐질화막/폴리실리콘막 구조 계면에 많이 형성되었기 때문이다.

<71> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<72> 상술한 본 발명은 폴리실리콘막과 금속막 사이의 계면에 1.2nm 이상의 두께를 갖는 실리콘질화막을 형성하므로써 선택산화 및 후속 열공정에서 폴리실리콘막과 금속막 사이의 계면에 불균일한 실리사이드막이 형성되는 것을 억제하여 게이트전극의 신뢰성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

실리콘막;

질소 표면 밀도가 $1 \times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하고 있는 상기 실리콘막 상의 반응방지막; 및
상기 반응방지막 상의 금속막
을 포함하는 반도체 소자의 적층 게이트전극.

【청구항 2】

제1 항에 있어서,

상기 반응방지막의 두께는 1.2nm보다 두껍고 3nm보다 얇은 것을 특징으로 하는 반도체 소자의 적층 게이트전극.

【청구항 3】

제1 항에 있어서,

상기 금속막은

내열성 금속과 질소가 함유된 제1 막; 및

상기 제1 막상의 상기 내열성 금속으로 된 제2 막

을 포함하는 것을 특징으로 하는 반도체 소자의 적층 게이트전극.

【청구항 4】

제3 항에 있어서,

상기 내열성 금속은 W, Mo, Ta, Ti, Ni 및 Co로 이루어진 그룹중에서 선택된 하나인 것을 특징으로 하는 반도체 소자의 적층 게이트전극.

【청구항 5】

제1 항에 있어서,

상기 반응방지막은 상기 실리콘막 표면을 질화시킨 실리콘질화막인 것을 특징으로 하는 반도체 소자의 적층 게이트전극.

【청구항 6】

적어도 게이트절연막을 포함하는 반도체층을 형성하는 단계;

상기 게이트절연막 상에 실리콘막을 형성하는 단계;

상기 실리콘막 표면상에 질소 표면 밀도가 $1\times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하고 있는 반응방지막을 형성하는 단계;

상기 반응방지막 상에 금속막을 형성하는 단계;

상기 금속막, 반응방지막 및 상기 실리콘막을 순차적으로 식각하여 적층 게이트 전극을 형성하는 단계; 및

상기 적층 게이트전극 중에서 실리콘막만을 선택적으로 산화시키는 게이트 재산화 공정을 수행하는 단계

를 포함하는 반도체소자의 제조 방법.

【청구항 7】

제6 항에 있어서,

상기 반응방지막을 형성하는 단계는,

NH_3 , $\text{ND}(\text{D는 중수소})_3$, N_2 및 NF_3 로 이루어진 그룹중에서 선택된 하나 또는 혼합 기체의 분위기에서 $0^\circ\text{C} \sim 700^\circ\text{C}$ 의 기판온도와 1000W의 RF 파워를 인가하면서 상기 실리콘 막 표면을 DPN 또는 RPN하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제6 항에 있어서,

상기 반응방지막을 형성하는 단계는,

NH_3 또는 ND_3 가스 분위기와 $750^\circ\text{C} \sim 950^\circ\text{C}$ 의 온도에서 10초~100초동안 상기 실리콘 막 표면을 열처리하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제6 항에 있어서,

상기 반응방지막은,

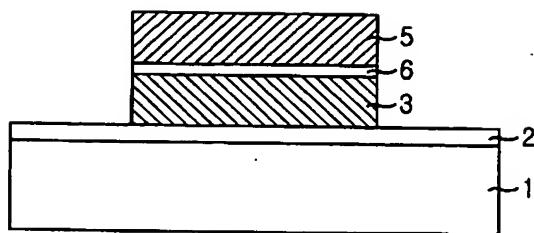
화학기상증착법 또는 원자층증착법을 이용한 실리콘질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

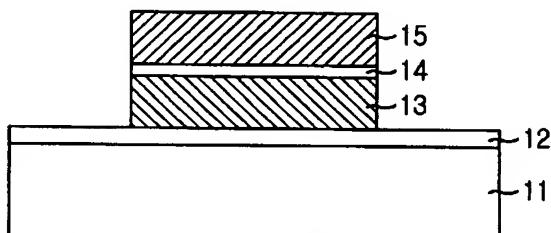
제6 항 내지 제9 항 중 어느 한 항에 있어서,
상기 반응방지막은 1.2nm보다 두껍고 3nm보다 얇은 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

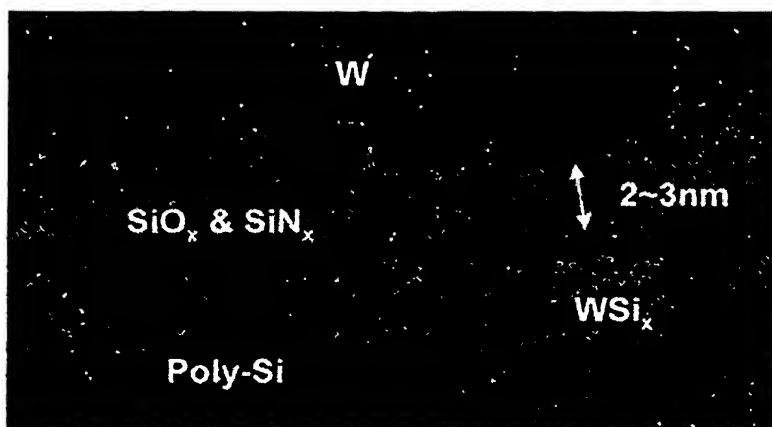
【도 1】



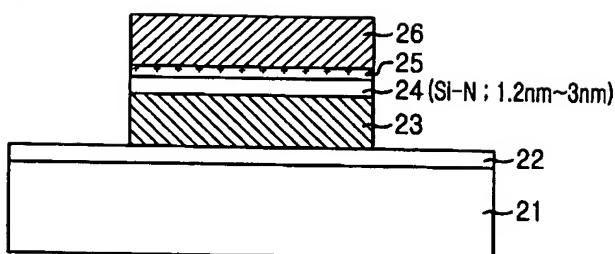
【도 2】



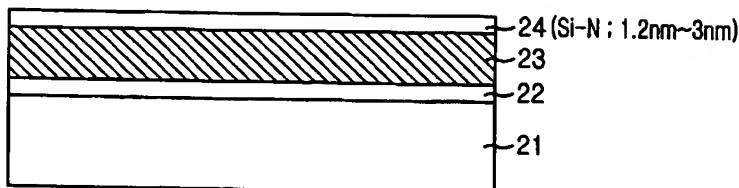
【도 3】



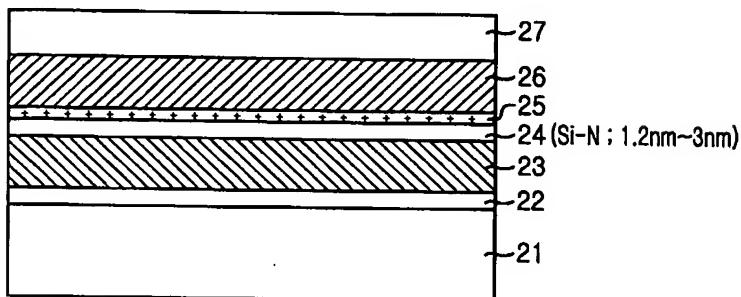
【도 4】



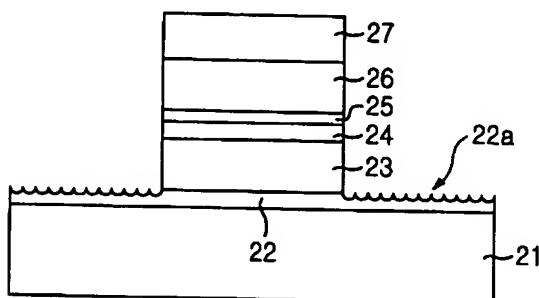
【도 5a】



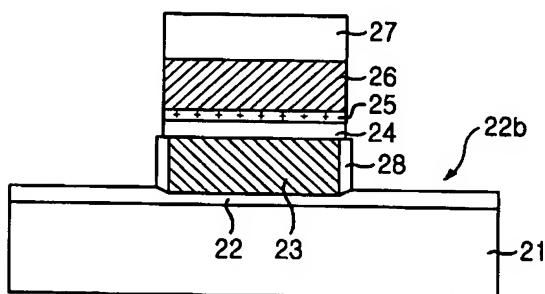
【도 5b】



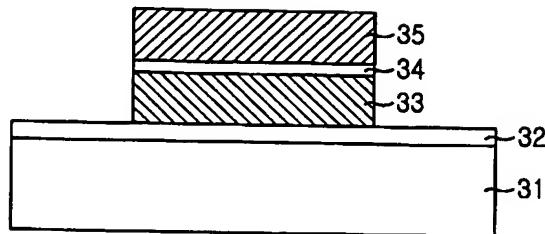
【도 5c】



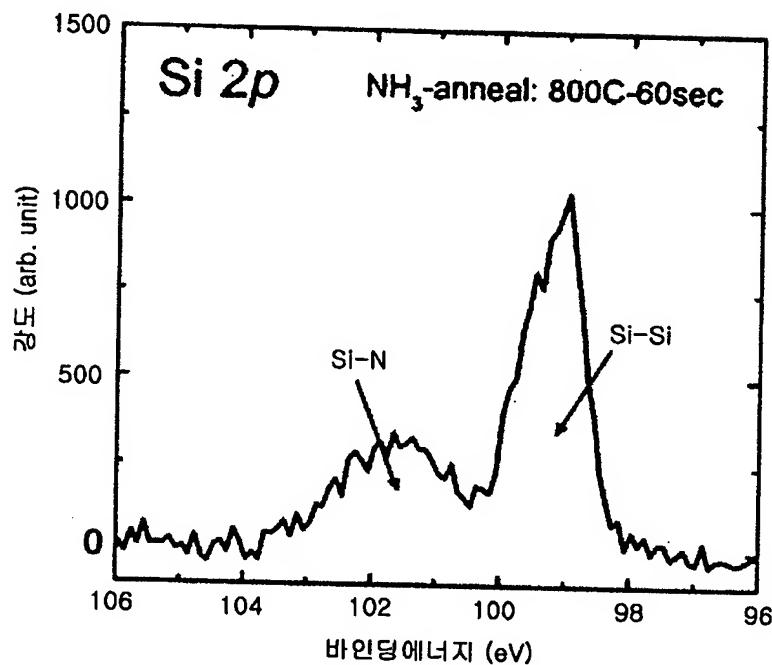
【도 5d】



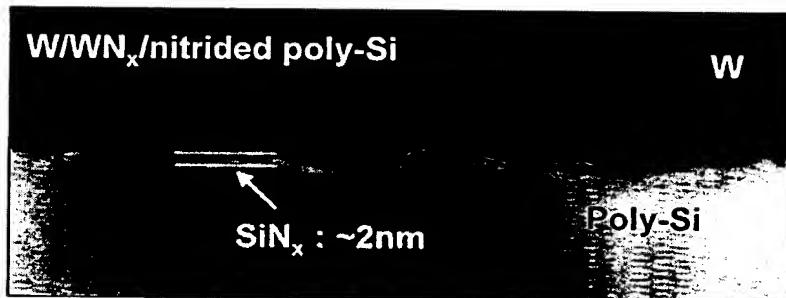
【도 6】



【도 7】



【도 8】



【도 9】

